



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0060042 3107  
Application Number

출원 년 월 일 : 2002년 10월 02일  
Date of Application OCT 02, 2002

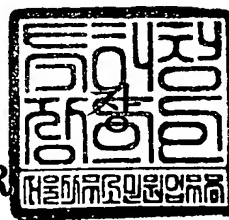
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.10.02
【발명의 명칭】	플라즈마 디스플레이 패널의 구동방법 및 장치
【발명의 영문명칭】	METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	윤상진
【성명의 영문표기】	YUN,Sang Jin
【주민등록번호】	701229-1547915
【우편번호】	718-831
【주소】	경상북도 칠곡군 석적면 남율리 710 우방신천지타운 103동 1802호
【국적】	KR
【발명자】	
【성명의 국문표기】	강성호
【성명의 영문표기】	KANG,Seong Ho
【주민등록번호】	681022-1812321
【우편번호】	702-260
【주소】	대구광역시 북구 태전동 442 우방3차 105동 903호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
김영호 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 630,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】**

**【요약】**

본 발명은 서스테인 마진을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

본 발명의 플라즈마 디스플레이 패널의 구동방법은 평균휘도레벨에 대응하여 서스테인 펄스의 주파수 및 주기가 변화되는 단계를 포함한다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

플라즈마 디스플레이 패널의 구동방법 및 장치{METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL}

**【도면의 간단한 설명】**

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 한 프레임을 나타내는 도면.

도 3은 종래의 플라즈마 디스플레이 패널의 구동장치를 나타내는 블록도.

도 4는 APL 단계에 대응되어 설정되는 서스테인 펄스 수를 나타내는 그래프.

도 5는 본 발명의 제 1실시예에 의한 APL에 따른 서스테인펄스의 주파수를 나타내는 그래프.

도 6는 본 발명의 제 2실시예에 의한 APL에 따른 서스테인펄스의 주파수를 나타내는 그래프.

도 7은 본 발명의 제 3실시예에 의한 APL에 따른 서스테인펄스의 주파수를 나타내는 그래프.

도 8은 본 발명의 제 4실시예에 의한 APL에 따른 서스테인펄스의 주파수를 나타내는 그래프.

도 9는 본 발명의 제 5실시예에 의한 APL에 따른 서스테인펄스의 주파수를 나타내는 그래프.

도 10은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동장치를 나타내는 블록도.

도 11은 본 발명의 다른 실시예에 의한 플라즈마 디스플레이 패널의 구동장치를 나타내는 블록도.

#### < 도면의 주요 부분에 대한 부호의 설명 >

1,61,81 : 입력라인    10 : 상부기판

12Y : 제 1전극    12Z : 제 2전극

14,22 : 유전체층    16 : 보호막

18 : 하부기판    20X : 어드레스전극

24 : 격벽    26 : 형광체층

30,51,71 : 프레임 메모리    34,54,74 : 이득제어부

32A,32B,52A,52B,72A,72B : 역감마 보정부

36,56,76 : 오차확산부    38,58,78 : 서브필드 맵핑부

40,60,80 : 데이터 정렬부    42,62,82 : APL부

44,64,84 : 파형발생부    46,66,86 : 패널

68,88 : 주파수(주기) 설정부 90 : 한계값 설정부

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<24> 본 발명은 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것으로 특히, 서스테인 마진을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

<25> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함)은 가스 방전에 의해 발생하는 진공 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생하는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

<26> 도 1은 종래의 3 전극 교류 면방전형 PDP의 방전셀 구조를 도시한 사시도이다.

<27> 도 1을 참조하면, 종래의 3 전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 제 1전극(12Y) 및 제 2전극(12Z)과, 하부기관(18) 상에 형성되어진 어드레스 전극(20X)을 구비한다.

- <28> 제 1전극(12Y)과 제 2전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다.
- <29> 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 제 1전극(12Y) 및 제 2전극(12Z)과 교차되는 방향으로 형성된다.
- <30> 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상부기판(10), 하부기판(18)과 격벽(24) 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.
- <31> 이와 같은 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인 기간으로 나뉘어진다.
- <32> 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 도 2와 같이 8개의 서브필드들(SF1내지SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드별(SF1내지SF8) 각각은 어드레스 기간과 서스



테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋 기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n(n=0,1,2,3,4,5,6,7)$ 의 비율로 증가되면서 계조에 따른 화상을 표시한다.

<33> 도 3은 종래의 플라즈마 디스플레이 패널의 구동장치를 나타내는 도면이다.

<34> 도 3을 참조하면, 종래의 PDP의 구동장치는 입력라인(1)과 패널(46) 사이에 접속된 제 1역감마 보정부(32A), 이득 제어부(34), 오차 확산부(36), 서브필드 맵핑부(38) 및 데이터 정렬부(40)와; 입력라인(1)과 패널(46) 사이에 접속된 프레임 메모리(30), 제 2역감마 보정부(32B), APL(Average Picture Level : 평균휘도레벨)부(42) 및 파형 발생부(44)를 구비한다.

<35> 제 1 및 제 2역감마 보정부(32A,32B)는 감마보정된 비디오신호를 역감마보정하여 영상신호의 계조값에 따른 휘도값을 선형적으로 변환시킨다. 프레임 메모리(30)는 한 프레임 분의 데이터(R,G,B)를 저장하고, 저장된 데이터를 제 2역감마 보정부(32B)로 공급한다.

<36> APL 부(42)는 제 2역감마 보정부(32B)에 의해 보정된 비디오 데이터를 입력받아 서스테인 펄스수를 조절하기 위한 N(N은 자연수)단계 신호를 발생한다. 이득 제어부(34)는 제 1역감마 보정부(32A)에서 보정된 비디오 데이터를 유효이득만큼 증폭시킨다.

- <37> 오차 확산부(36)는 셀의 오차성분을 인접한 셀들로 확산시킴으로써 휘도값을 미세하게 조정한다. 서브필드 맵핑부(38)는 오차 확산부(36)로부터 보정된 비디오 데이터를 서브필드별로 재할당한다.
- <38> 데이터 정렬부(40)는 패널(46)의 해상도 포맷에 적합하게 서브필드 맵핑부(38)로부터 입력되는 비디오 데이터를 변환하여 패널(46)의 어드레스 구동 집적 회로(Integrated Circuit : 이하 'IC'라 함)로 공급한다.
- <39> 파형 발생부(44)는 APL 부(42)로부터 입력된 N단계 신호에 의해 타이밍 제어신호를 생성하고, 생성된 타이밍 제어신호를 패널(46)의 어드레스 구동 IC, 스캔 구동 IC 및 서스테인 구동 IC로 공급한다.
- <40> 이와 같은 종래의 플라즈마 디스플레이 패널의 구동장치에서 APL부(42)는 PDP의 소비전력을 어느정도 일정하게 유지함과 아울러 전체 영상의 밝기가 어두울 때 상대적으로 밝은 부분을 강조한다. 이를 위해, APL 단계는 도 4와 같이 서스테인 수와 반비례되도록 설정된다. 다시 말하여, APL 단계가 높을 경우 적은 수의 서스테인 펄스를 공급하고, APL 단계가 낮을 경우 많은 수의 서스테인 펄스를 공급하여 소비전력을 어느정도 일정하게 유지함과 아울러 전체 영상의 밝기가 어두울 때 상대적으로 밝은 부분을 강조하게 된다.
- <41> 하지만, 이와 같은 종래의 PDP에서는 APL 단계가 높을 경우 서스테인 전력 소모가 커지기 때문에 서스테인 마진이 낮아지는 단점이 있다. 실제로, APL 단계가 높을 경우 서스테인 발광효율이 저하되게 된다. 아울러, 종래의 PDP에서는

APL 단계가 높을 경우 적은 수의 서스테인 펄스를 공급하기 때문에 서스테인 기간을 충분히 활용하지 못하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<42> 따라서, 본 발명의 목적은 서스테인 마진을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<43> 상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널의 구동 방법은 평균휘도레벨에 대응하여 서스테인 펄스의 주파수 및 주기가 변화되는 단계를 포함한다.

<44> 상기 서스테인 펄스의 주파수는 낮은 평균휘도레벨에서 높은 평균휘도레벨로 갈수록 선형적으로 낮아지도록 설정된다.

<45> 상기 서스테인 펄스의 주파수는 낮은 평균휘도레벨에서 높은 평균휘도레벨로 갈수록 서스테인 펄스의 주기가 선형적으로 커지도록 설정된다.

<46> 상기 높은 평균휘도레벨에서 서스테인 펄스의 주기는 미리 할당된 서스테인 기간에 포함될 수 있도록 설정된다.

<47> 상기 서스테인 펄스의 주기가 커질 수 있는 맥시멈 한계값이 설정되는 단계를 포함한다.

- <48>        맥시멈 한계값 이상에서는 평균휘도레벨의 증가와 무관하게 서스테인 펄스가 동일한 주기를 갖는다.
- <49>        상기 서스테인 펄스의 주기가 작아질 수 있는 미니멈 한계값이 설정되는 단계를 포함한다.
- <50>        상기 미니멈 한계값을 이용하여 낮은 평균휘도레벨에서 공급되는 서스테인 펄스의 수를 설정한다.
- <51>        상기 서스테인 펄스의 주기가 커질 수 있는 맥시멈 한계값이 설정되는 단계와, 서스테인 펄스의 주기가 작아질 수 있는 미니멈 한계값이 설정되는 단계를 포함한다.
- <52>        상기 맥시멈 한계값 이상에서는 평균휘도레벨의 증가와 무관하게 서스테인 펄스가 동일한 주기를 갖고, 미니멈 한계값을 이용하여 낮은 평균휘도레벨에서 공급되는 서스테인 펄스의 수를 설정한다.
- <53>        상기 서스테인 펄스의 주파수는 낮은 평균휘도레벨에서 높은 평균휘도레벨로 갈수록 서스테인 펄스의 주기가 커지도록 설정되며, 주파수에 대응되는 서스테인 펄스의 수는 계단 형태로 증가된다.
- <54>        상기 서스테인 펄스의 수는 내림 방법을 이용하여 상기 주파수에 대응되도록 설정된다.
- <55>        본 발명의 플라즈마 디스플레이 패널의 구동장치는 외부로부터 비디오데이터를 입력받고, 이에 대응되는 평균휘도레벨 단계를 설정하는 평균휘도레벨부와; 평균휘도레벨부로부터 공급되는 평균휘도레벨을 입력받고, 입력받은 평균휘도레

벨에 대응되는 서스테인 펄스의 주기 및 주파수를 설정하는 주파수/주기 설정부를 구비한다.

<56>       상기 주파수/주기 설정부는 평균휘도레벨의 단계가 높아질 수록 낮은 주파수 및 넓은 주기를 가지는 서스테인 펄스가 공급될 수 있도록 서스테인 펄스의 주기 및 주파수를 설정한다.

<57>       상기 주파수/주기 설정부에서 설정되는 주기 및 주파수의 맥시멈 및 미니멈 한계값 중 적어도 하나 이상의 한계값을 설정하기 위한 한계값 설정부를 추가로 구비한다.

<58>       상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<59>       이하 도 5 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<60>       도 5는 본 발명의 제 1실시예에 의한 APL에 따른 서스테인펄스의 주기를 나타내는 그래프이다.

<61>       APL과 서스테인 펄스 수는 도 4와 같이 반비례 관계를 갖는다. 다시 말하여, APL 단계가 높아질 때 적은 서스테인 펄스가 패널로 공급되고, APL 단계가 낮아질 때 많은 서스테인 펄스가 패널로 공급된다. 이때, 본 발명에서는 도 5와 같이 낮은 APL 단계로부터 높은 APL 단계로 갈수록 서스테인 펄스의 주파수가 선형적으로 낮아지도록(주기는 선형적으로 증가) 설정한다.

<62> 이를 상세히 설명하면, 낮은 APL 단계에서는 N(예를 들어 1024)개의 서스테인 펄스가 패널로 공급된다. 이때, 낮은 APL 단계에서 공급되는 서스테인 펄스의 주파수( $f_2$ )는 높은 값을 갖도록 설정된다. 따라서, 주파수( $f_2$ )와 반비례 관계를 가지는 서스테인 펄스의 주기( $T_2$ )는 좁은 값, 예를 들면  $5\mu s$ 의 주기를 갖게 된다. 따라서, 낮은 APL 단계에서는 N개의 서스테인 펄스가  $T_2$ 의 주기를 갖도록 패널로 공급된다.

<63> 한편, 높은 APL 단계에서는 J(예를 들어 200)개의 서스테인 펄스가 패널로 공급된다. 이때, 높은 APL 단계에서 공급되는 서스테인 펄스의 주파수( $f_1$ )는 낮은 값을 갖도록 설정된다. 따라서, 주파수( $f_1$ )와 반비례 관계를 가지는 서스테인 펄스의 주기( $T_1$ )는 넓은 값, 예를 들면  $20\mu s$ 의 주기를 갖게 된다. 따라서, 높은 APL 단계에서 J개의 서스테인 펄스가  $T_1$ 의 주기를 갖도록 패널로 공급된다.

<64> 즉, 본 발명의 제 1실시예에서는 APL 단계가 높아질수록 서스테인 펄스의 주기가 선형적으로 증가된다. 이와 같이 APL 단계가 높아짐에 따라 서스테인 펄스의 주기가 선형적으로 증가되면 서스테인 마진이 향상되게 된다. 다시 말하여, 높은 APL 단계에서 서스테인 펄스가 넓은 주기를 갖게 되고, 이에 따라 발광효율이 향상되게 된다. 아울러, 본 발명의 제 1실시예에서는 높은 APL 단계에서 넓은 주기를 가지는 서스테인 펄스가 공급되기 때문에 서스테인 기간을 충분히 활용할 수 있다. 한편, 패널로 공급되는 서스테인 펄스의 주기는 서스테인 기간에 포함될 수 있도록(즉, 미리 할당된 서스테인 기간에 포함될 수 있도록) 설정된다.

<65> 도 6은 본 발명의 제 2실시예에 의한 APL에 따른 서스테인펄스의 주기를 나타내는 그래프이다.

<66> 도 6을 참조하면, 본 발명의 제 2실시예에서는 낮은 APL 단계로부터 높은 APL 단계로 갈수록 서스테인 펄스의 주파수가 선형적으로 낮아진다.(이때, 주기는 선형적으로 증가한다.) 또한, 본 발명의 제 2실시예에서는 맥시멈 한계주파수( $f_3$ )를 설정하고, APL 단계가 소정이상으로 증가할 때 맥시멈 한계주파수( $f_3$ )를 가지는 서스테인 펄스를 패널로 공급한다.

<67> 이를 상세히 설명하면, 낮은 APL 단계에서는 N(예를 들어 1024)개의 서스테인 펄스가 패널로 공급된다. 이때, 낮은 APL 단계에서 공급되는 서스테인 펄스의 주파수( $f_2$ )는 높은 값을 갖도록 설정된다. 따라서, 주파수( $f_2$ )와 반비례 관계를 가지는 서스테인 펄스의 주기( $T_2$ )는 좁은 값, 예를 들면  $5\mu s$ 의 주기를 갖게 된다. 따라서, 낮은 APL 단계에서는 N개의 서스테인펄스가  $T_2$ 의 주기를 갖도록 패널로 공급된다. 또한, APL 단계가 높아질 수록 넓은 주기를 가지는 서스테인 펄스가 패널로 공급된다.

<68> 한편, APL 단계가 소정값 이상이 될 때 서스테인 펄스의 주파수( $f_3$ )는 일정하게 유지된다. 예를 들어, 서스테인 펄스가  $15\mu s$ 의 주기를 갖도록 맥시멈 한계 주파수( $f_3$ )를 설정하면, 소정 이상의 APL 단계에서는  $15\mu s$ 의 주기를 가지는 서스테인펄스가 공급된다. 다시 말하여, 소정 이상의 APL 단계에서는 서스테인 펄스의 수만이 변화될 뿐(도 4에 도시된 바와 같이 APL 단계가 높아질 수록 서스테인 펄스의 수가 적어진다.) 서스테인 펄스의 주기(또는 주파수)는 일정하게 유지된다. 여기서, 맥시멈 한계주파수( $f_3$ )는 높은 APL 단계에서 충분한 서스테인 마

진이 확보되도록 설계자에 의해 설정된다. 실례로, 서스테인 펄스의 주기가 일정 넓이 이상이 되면 충분한 서스테인 마진이 확보되게 된다. 따라서, 설계자는 패널이 충분한 서스테인 마진이 확보될 수 있도록 맥시멈 한계주파수( $f_3$ )를 설정하게 된다.

<69> 이와 같은, 본 발명의 제 2실시예에서는 APL 단계가 높아질수록 서스테인 펄스의 주기가 선형적으로 증가된다. 또한, 일정한 서스테인 마진이 확보될 수 있도록 맥시멈 한계주파수( $f_3$ )를 설정하여 높은 APL 단계에서도 안정된 서스테인 방전을 일으킬 수 있다. 다시 말하여, 본 발명의 제 2실시예에서는 높은 APL 단계에서 서스테인 펄스가 넓은 주기를 갖게되고, 이에 따라 발광효율이 향상되게 된다. 아울러, 본 발명의 제 2실시예에서는 높은 APL 단계에서 넓은 주기를 가지는 서스테인 펄스가 공급되기 때문에 서스테인 기간을 충분히 활용할 수 있다.

<70> 도 7은 본 발명의 제 3실시예에 의한 APL에 따른 서스테인 펄스의 주기를 나타내는 그래프이다.

<71> 도 7을 참조하면, 본 발명의 제 3실시예에서는 낮은 APL 단계로부터 높은 APL 단계로 갈수록 서스테인 펄스의 주파수가 선형적으로 낮아진다.(이때, 주기는 선형적으로 증가한다.) 또한, 본 발명의 제 3실시예에서는 미니멈 한계주파수( $f_4$ )를 설정하여 낮은 APL 단계에서 패널로 공급되는 서스테인 펄스의 수를 임의로 설정할 수 있다.

<72> 이를 상세히 설명하면, 낮은 APL 단계에서는 미니멈 한계주파수( $f_4$ )에 의해 도 5 내지 도 6에 도시된 서스테인 펄스보다 많은 수의 서스테인 펄스가 패널로 공급된다. 예를 들어, 낮은 APL 단계에서는 N(예를 들어 1024) 보다 높은 값을



가지는  $i$ (예를 들어 1500)개의 서스테인 펄스가 패널로 공급된다. 이때, 높은 미니멈 한계주파수( $f_4$ )에 반비례하는 주기( $T_4$ ), 예를 들면  $3\mu s$ 의 주기를 가지는 서스테인 펄스가 패널로 공급된다. 이와 같이 낮은 APL 단계에서 많은 수의 서스테인 펄스가 패널로 공급되면 패널의 피크 휘도가 향상된다.

<73> 한편, 높은 APL 단계에서는  $J$ (예를 들어 200)개의 서스테인 펄스가 패널로 공급된다. 이때, 높은 APL 단계에서 공급되는 서스테인 펄스의 주파수( $f_1$ )는 낮은 값을 갖도록 설정된다. 따라서, 주파수( $f_1$ )와 반비례 관계를 가지는 서스테인 펄스의 주기( $T_1$ )는 넓은 값, 예를 들면  $20\mu s$ 의 주기를 갖게 된다. 따라서, 높은 APL 단계에서  $J$ 개의 서스테인 펄스가  $T_1$ 의 주기를 갖도록 패널로 공급된다.

<74> 즉, 본 발명의 제 3실시예에서는 APL 단계가 높아질수록 서스테인 펄스의 주기가 선형적으로 증가된다. 이와 같이 APL 단계가 높아짐에 따라 서스테인 펄스의 주기가 선형적으로 증가되면 서스테인 마진이 향상되게 된다. 다시 말하여, 높은 APL 단계에서 서스테인 펄스가 넓은 주기를 갖게되고, 이에 따라 발광효율이 향상되게 된다. 아울러, 본 발명의 제 3실시예에서는 높은 APL 단계에서 넓은 주기를 가지는 서스테인 펄스가 공급되기 때문에 서스테인 기간을 충분히 활용할 수 있다. 또한, 본 발명의 제 3실시예에서는 미니멈 한계주파수( $f_4$ )를 설정하여 낮은 APL 단계에서 많은 수의 서스테인 펄스를 공급하고, 이에 따라 패널의 피크휘도가 향상되게 된다.

<75> 한편, 본 발명에서는 도 8과 같이 맥시멈 한계주파수( $f_3$ )와 미니멈 한계주파수( $f_4$ )를 동시에 설정할 수 있다.

<76> 도 8을 참조하면, 본 발명의 제 4실시에에서는 낮은 APL 단계로부터 높은 APL 단계로 갈수록 서스테인 펄스의 주파수가 선형적으로 낮아진다.(이때, 주기를 선형적으로 증가한다.) 또한, 본 발명의 제 4실시에에서는 맥시멈 한계주파수( $f_3$ )를 설정하고, APL 단계가 소정이상으로 증가할 때 맥시멈 한계주파수( $f_3$ )를 가지는 서스테인 펄스를 패널로 공급한다. 아울러, 본 발명의 제 4실시에에서는 미니멈 한계주파수( $f_4$ )를 설정하여 낮은 APL 단계에서 패널로 공급되는 서스테인 펄스의 수를 임의로 설정할 수 있다.

<77> 이를 상세히 설명하면, 낮은 APL 단계에서는 미니멈 한계주파수( $f_4$ )에 의해도 5 내지 도 6에 도시된 서스테인 펄스보다 많은 수의 서스테인 펄스가 패널로 공급된다. 예를 들어, 낮은 APL 단계에서는 N(예를 들어 1024) 보다 높은 값을 가지는 i(예를 들어 1500)개의 서스테인 펄스가 패널로 공급된다. 이때, 높은 미니멈 한계주파수( $f_4$ )에 반비례하는 주기( $T_4$ ), 예를 들면  $3\mu s$ 의 주기를 가지는 서스테인 펄스가 패널로 공급된다. 이와 같이 낮은 APL 단계에서 많은 수의 서스테인 펄스가 패널로 공급되면 패널의 피크 휘도가 향상된다.

<78> 한편, APL 단계가 소정값 이상이 될 때 서스테인 펄스의 주파수( $f_3$ )는 일정하게 유지된다. 예를 들어, 서스테인 펄스가  $15\mu s$ 의 주기를 갖도록 맥시멈 한계주파수( $f_3$ )를 설정하면, 소정 이상의 APL 단계에서는  $15\mu s$ 의 주기를 가지는 서스테인 펄스가 공급된다. 다시 말하여, 소정 이상의 APL 단계에서는 서스테인 펄스의 수만이 변화될 뿐(도 4에 도시된 바와 같이 APL 단계가 높아질수록 서스테인 펄스의 수가 적어진다.) 서스테인 펄스의 주기(또는 주파수)는 일정하게 유지된다. 여기서, 맥시멈 한계주파수( $f_3$ )는 높은 APL 단계에서 충분한 서스테인 마

진이 확보되도록 설계자에 의해 설정된다. 실제로, 서스테인 펄스의 주기가 일정 넓이 이상이 되면 충분한 서스테인 마진이 확보되게 된다. 따라서, 설계자는 패널이 충분한 서스테인 마진이 확보될 수 있도록 맥시멈 한계주파수( $f_3$ )를 설정하게 된다.

<79> 이와 같은 본 발명의 제 4실시예에서는 APL 단계가 높아질수록 서스테인 펄스의 주기가 선형적으로 증가된다. 또한, 일정한 서스테인 마진이 확보될 수 있도록 맥시멈 한계주파수( $f_3$ )를 설정하여 높은 APL 단계에서도 안정된 서스테인 방전을 일으킬 수 있다. 아울러, 본 발명의 제 4실시예에서는 미니멈 한계주파수( $f_4$ )를 설정하여 낮은 APL 단계에서 많은 수의 서스테인 펄스를 공급하고, 이에 따라 패널의 피크휘도가 향상되게 된다.

<80> 한편, 도 5 내지 도 8에 도시된 본 발명의 실시예들에서는 APL 단계에 따라 주파수(또는 주기)가 선형적으로 변화하였다. 하지만, 실제로 패널에 본 발명이 적용될 때에는 도 9와 같이 APL 단계에 따라서 주파수(또는 주기)가 계단형태로 변화되게 된다. 이를 상세히 설명하면, APL 단계에 따라서 특정 지점(50)에서  $f_5(f_2 > f_5 > f_1)$ 의 주파수를 가지는 K개의 서스테인 펄스가 공급될 때 K는 정수로 선택될 수 있다. 다시 말하여, 특정 지점에서는 소수점을 가지는 K(예를 들어, 500.56)개의 서스테인 펄스가 패널로 공급되어야 한다. 하지만, 소수점을 가지는 서스테인 펄스가 패널로 공급될 수 없으므로 내림 방법으로 500개의 서스테인 펄스를 패널로 공급한다. 즉, 본 발명에서는 내림 방법을 이용하여 자연수 형태의 서스테인 펄스가 패널로 공급될 수 있도록 한다.

- <81> 도 10은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동장치를 나타내는 도면이다.
- <82> 도 10을 참조하면, 본 발명의 실시예에 의한 PDP의 구동장치는 입력라인(61)과 패널(66) 사이에 접속된 제 1역감마 보정부(52A), 이득 제어부(54), 오차 확산부(56), 서브필드 맵핑부(58) 및 데이터 정렬부(60)와; 입력라인(61)과 패널(66) 사이에 접속된 프레임 메모리(51), 제 2역감마 보정부(52B), APL부(62), 주파수(주기) 설정부(68) 및 과형 발생부(64)를 구비한다.
- <83> 제 1 및 제 2역감마 보정부(52A,52B)는 감마보정된 비디오신호를 역감마보정하여 영상신호의 계조값에 따른 휘도값을 선형적으로 변환시킨다. 프레임 메모리(51)는 한 프레임 분의 데이터(R,G,B)를 저장하고, 저장된 데이터를 제 2역감마 보정부(52B)로 공급한다.
- <84> APL 부(62)는 제 2역감마 보정부(52B)에 의해 보정된 비디오 데이터를 입력받아 서스테인 펄스수를 조절하기 위한 N(N은 자연수)단계 신호를 발생한다. 이득 제어부(54)는 제 1역감마 보정부(52A)에서 보정된 비디오 데이터를 유효이득만큼 증폭시킨다.
- <85> 오차 확산부(56)는 셀의 오차성분을 인접한 셀들로 확산시킴으로써 휘도값을 미세하게 조정한다. 서브필드 맵핑부(58)는 오차 확산부(56)로부터 보정된 비디오 데이터를 서브필드별로 재할당한다.

- <86>        데이터 정렬부(60)는 패널(66)의 해상도 포맷에 적합하게 서브필드 맵핑부(58)로부터 입력되는 비디오 데이터를 변환하여 패널(66)의 어드레스 구동 집적회로(Integrated Circuit : 이하 'IC'라 함)로 공급한다.
- <87>        주파수(주기) 설정부(68)는 APL부(62)로부터 공급되는 APL 단계에 대응하여 서스테인 펄스의 주파수(주기)를 결정한다. 이와 같은 주파수(주기) 설정부(68)는 도 5에 도시된 바와 같이 APL 단계가 높아질 수록 낮은 주파수(즉, 넓은 주기)를 갖도록 서스테인 펄스의 주파수(주기)를 설정한다.
- <88>        파형 발생부(64)는 APL부(62)로부터 공급되는 A단계 신호에 의해 타이밍 제어신호를 생성한다. 이때, 파형 발생부(64)는 주파수(주기) 설정부(68)로부터 공급되는 서스테인 펄스의 주파수 설정신호에 의하여 서스테인 펄스의 주파수를 설정한다. 파형 발생부(64)로부터 생성된 타이밍 제어신호는 패널(66)의 어드레스 구동 IC, 스캔 구동 IC 및 서스테인 구동 IC로 공급한다.
- <89>        도 11은 본 발명의 다른 실시예에 의한 플라즈마 디스플레이 패널의 구동장치를 나타내는 도면이다.
- <90>        도 11을 참조하면, 본 발명의 다른 실시예에 의한 PDP의 구동장치는 입력라인(81)과 패널(86) 사이에 접속된 제 1역감마 보정부(72A), 이득 제어부(74), 오차 확산부(76), 서브필드 맵핑부(78) 및 데이터 정렬부(80)와; 입력라인(81)과 패널(86) 사이에 접속된 프레임 메모리(71), 제 2역감마 보정부(72B), APL부(72), 주파수(주기) 설정부(78), 한계값 설정부(90) 및 파형 발생부(84)를 구비한다.

- <91> 제 1 및 제 2역감마 보정부(72A,72B)는 감마보정된 비디오신호를 역감마보정하여 영상신호의 계조값에 따른 휘도값을 선형적으로 변환시킨다. 프레임 메모리(71)는 한 프레임 분의 데이터(R,G,B)를 저장하고, 저장된 데이터를 제 2역감마 보정부(72B)로 공급한다.
- <92> APL 부(82)는 제 2역감마 보정부(72B)에 의해 보정된 비디오 데이터를 입력받아 서스테인 펄스수를 조절하기 위한 N(N은 자연수)단계 신호를 발생한다. 이득 제어부(74)는 제 1역감마 보정부(72A)에서 보정된 비디오 데이터를 유효이득만큼 증폭시킨다.
- <93> 오차 확산부(76)는 셀의 오차성분을 인접한 셀들로 확산시킴으로써 휘도값을 미세하게 조정한다. 서브필드 맵핑부(78)는 오차 확산부(76)로부터 보정된 비디오 데이터를 서브필드별로 재할당한다.
- <94> 데이터 정렬부(80)는 패널(86)의 해상도 포맷에 적합하게 서브필드 맵핑부(78)로부터 입력되는 비디오 데이터를 변환하여 패널(86)의 어드레스 구동 집적회로(Integrated Circuit : 이하 'IC'라 함)로 공급한다.
- <95> 한계값 설정부(90)는 주파수(주기) 설정부(88)에서 설정되는 서스테인 펄스의 주파수(주기)의 맥시멈 한계값 및 미니멈 한계값 중 적어도 하나 이상의 한계값을 주파수(주기) 설정부(88)로 공급한다.
- <96> 주파수(주기) 설정부(88)는 APL부(82)로부터 공급되는 APL 단계에 대응하여 서스테인 펄스의 주파수(주기)를 결정한다. 이와 같은 주파수(주기) 설정부(88)는 도 5에 도시된 바와 같이 APL 단계가 높아질 수록 낮은 주파수(즉, 넓은

주기)를 갖도록 서스테인 펄스의 주파수(주기)를 설정한다. 또한, 주파수(주기) 설정부(88)는 한계값 설정부(90)로부터 공급되는 맥시멈 한계값 및/또는 미니멈 한계값을 이용하여 도 6 내지 도 8에 도시된 바와 같이 서스테인 펄스의 주파수(주기)의 맥시멈 및/또는 미니멈 값을 이용하여 서스테인 펄스의 주파수(주기)를 설정한다.

<97>      파형 발생부(84)는 APL부(82)로부터 공급되는 A단계 신호에 의해 타이밍 제어신호를 생성한다. 이때, 파형 발생부(84)는 주파수(주기) 설정부(88)로부터 공급되는 서스테인 펄스의 주파수 설정신호에 의하여 서스테인 펄스의 주파수를 설정한다. 파형 발생부(84)로부터 생성된 타이밍 제어신호는 패널(86)의 어드레스 구동 IC, 스캔 구동 IC 및 서스테인 구동 IC로 공급한다.

#### 【발명의 효과】

<98>      상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법 및 장치에 의하면 APL 단계가 높아질 수록 넓은 주기(낮은 주파수)를 가지는 서스테인 펄스를 공급하여 서스테인 마진을 향상시키고, 이에 따라 발광효율을 향상시킬 수 있다. 아울러, 본 발명에서는 높은 미니멈 한계주파수를 설정하여 낮은 APL 단계에서 많은 수의 서스테인 펄스를 공급할 수 있고, 이에 따라 패널의 피크 휘도를 향상시킬 수 있다.

<99>      이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본

발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.



**【특허청구범위】****【청구항 1】**

평균휘도레벨(Average Picture Level : APL)을 이용하여 서스테인 펄스 수를 조정하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 평균휘도레벨에 대응하여 상기 서스테인 펄스의 주파수 및 주기가 변화되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 2】**

제 1항에 있어서,

상기 서스테인 펄스의 주파수는 낮은 평균휘도레벨에서 높은 평균휘도레벨로 갈수록 선형적으로 낮아지도록 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 3】**

제 1항에 있어서,

상기 서스테인 펄스의 주파수는 낮은 평균휘도레벨에서 높은 평균휘도레벨로 갈수록 상기 서스테인 펄스의 주기가 선형적으로 커지도록 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 4】**

제 3항에 있어서,

상기 높은 평균휘도레벨에서 상기 서스테인 펄스의 주기는 미리 할당된 서스테인 기간에 포함될 수 있도록 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 5】**

제 3항에 있어서,

상기 서스테인 펄스의 주기가 커질 수 있는 맥시멈 한계값이 설정되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 6】**

제 5항에 있어서,

맥시멈 한계값 이상에서는 평균휘도레벨의 증가와 무관하게 서스테인 펄스가 동일한 주기를 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 7】**

제 3항에 있어서,

상기 서스테인 펄스의 주기가 좁아질 수 있는 미니멈 한계값이 설정되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 8】**

제 7항에 있어서,

상기 미니멈 한계값을 이용하여 낮은 평균휘도레벨에서 공급되는 서스테인 펄스의 수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법

【청구항 9】

제 3항에 있어서,

상기 서스테인 펄스의 주기가 커질 수 있는 맥시멈 한계값이 설정되는 단계와,

상기 서스테인 펄스의 주기가 작아질 수 있는 미니멈 한계값이 설정되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 10】

제 9항에 있어서,

상기 맥시멈 한계값 이상에서는 평균휘도레벨의 증가와 무관하게 서스테인 펄스가 동일한 주기를 갖고,

상기 미니멈 한계값을 이용하여 낮은 평균휘도레벨에서 공급되는 서스테인 펄스의 수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법

【청구항 11】

제 1항에 있어서,

상기 서스테인 펄스의 주파수는 낮은 평균휘도레벨에서 높은 평균휘도레벨로 갈수록 상기 서스테인 펄스의 주기가 커지도록 설정되며,

상기 주파수에 대응되는 상기 서스테인 펄스의 수는 계단 형태로 증가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 12】

제 11항에 있어서,

상기 서스테인 펄스의 수는 내림 방법을 이용하여 상기 주파수에 대응되도록 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 13】

평균휘도레벨(Average Picture Level : APL)을 이용하여 서스테인 펄스 수를 조정하는 플라즈마 디스플레이 패널의 구동장치에 있어서;

외부로부터 비디오데이터를 입력받고, 이에 대응되는 상기 평균휘도레벨 단계를 설정하는 평균휘도레벨부와;

상기 평균휘도레벨부로부터 공급되는 평균휘도레벨을 입력받고, 입력받은 평균휘도레벨에 대응되는 서스테인 펄스의 주기 및 주파수를 설정하는 주파수/주기 설정부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 14】

제 13항에 있어서,

상기 주파수/주기 설정부는 상기 평균휘도레벨의 단계가 높아질 수록 낮은 주파수 및 넓은 주기를 가지는 서스테인 펄스가 공급될 수 있도록 상기 서스테인

펄스의 주기 및 주파수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

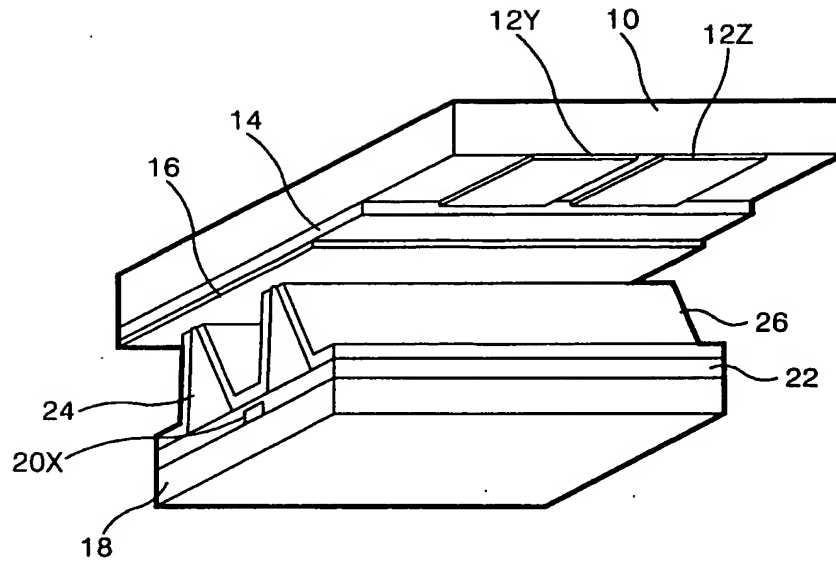
【청구항 15】

제 13항에 있어서,

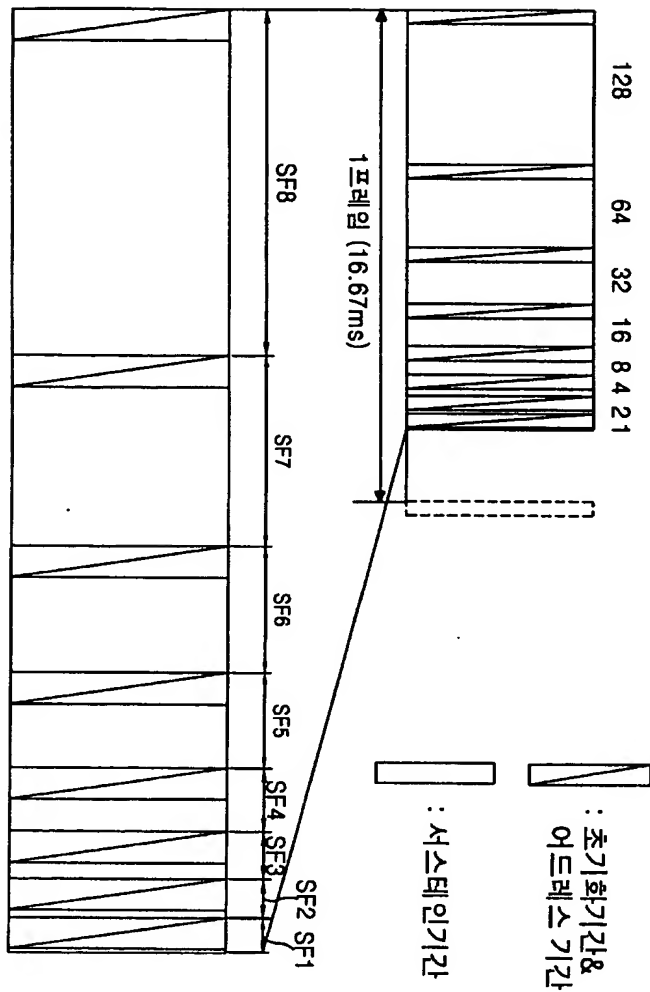
상기 주파수/주기 설정부에서 설정되는 주기 및 주파수의 맥시멈 및 미니멈 한계값 중 적어도 하나 이상의 한계값을 설정하기 위한 한계값 설정부를 추가로 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【도면】

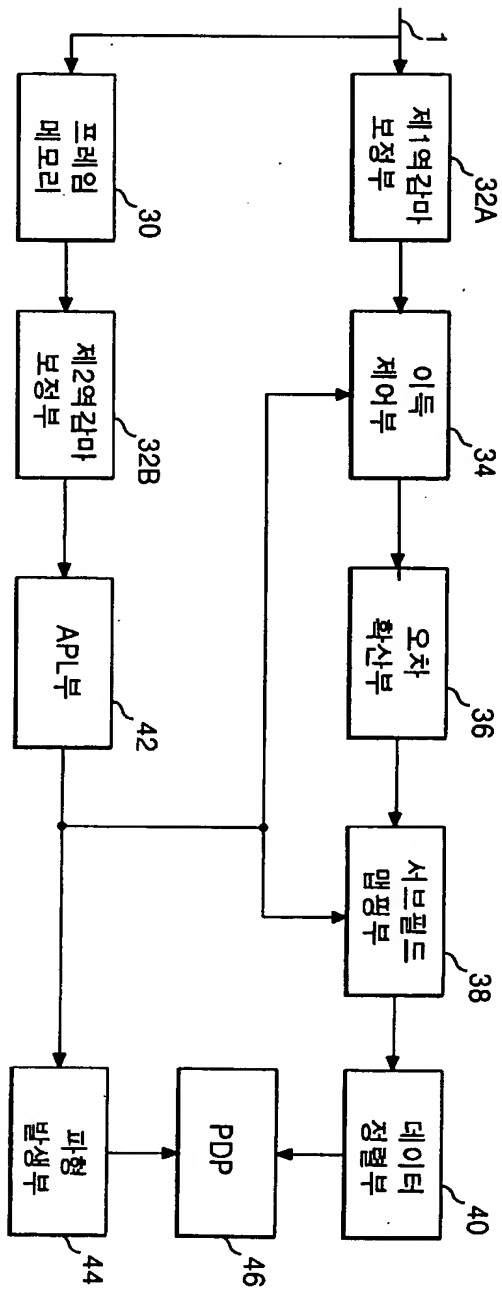
【도 1】



【도 2】

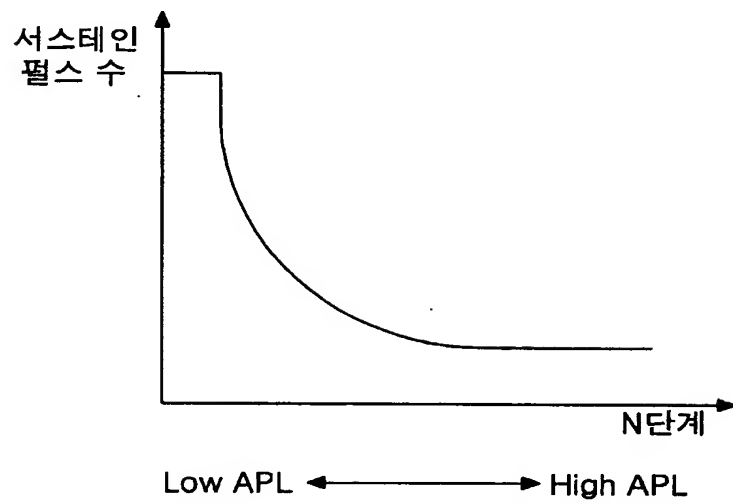


【도 3】

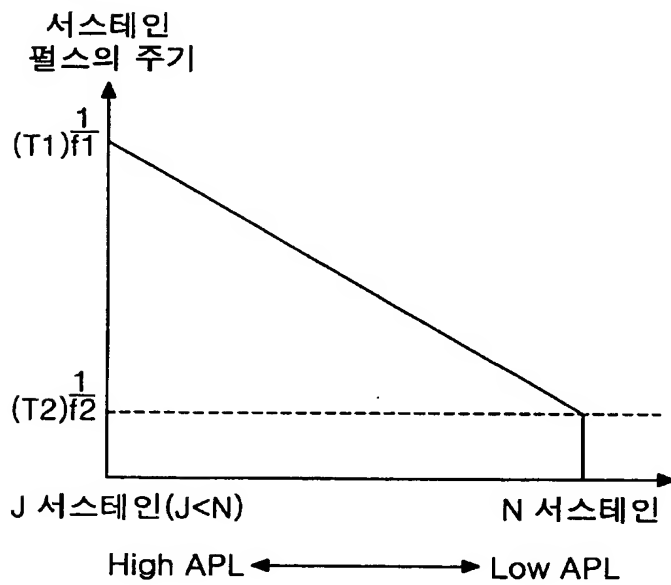




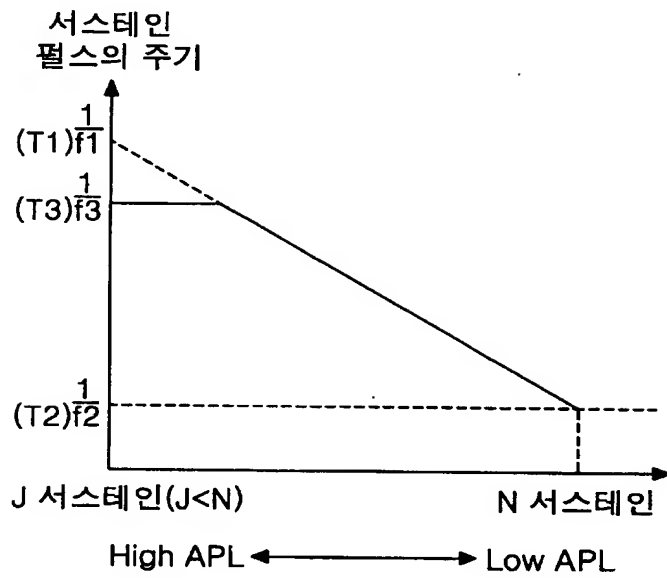
【도 4】



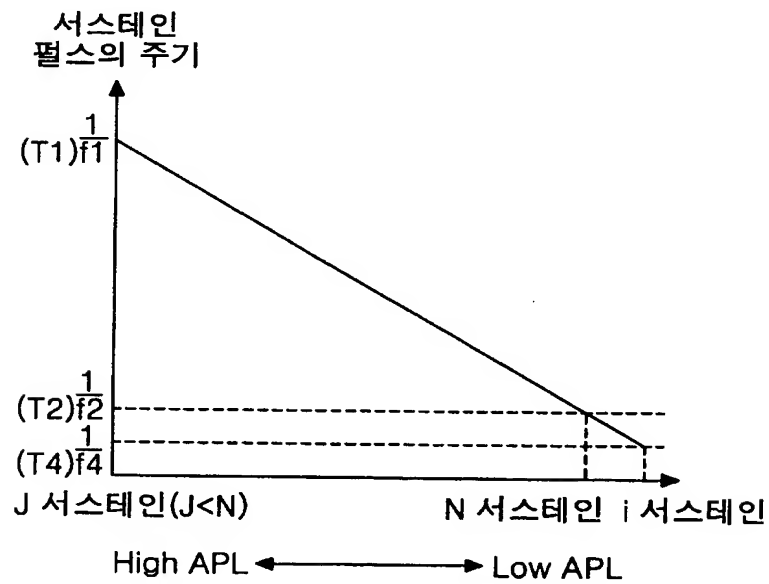
【도 5】



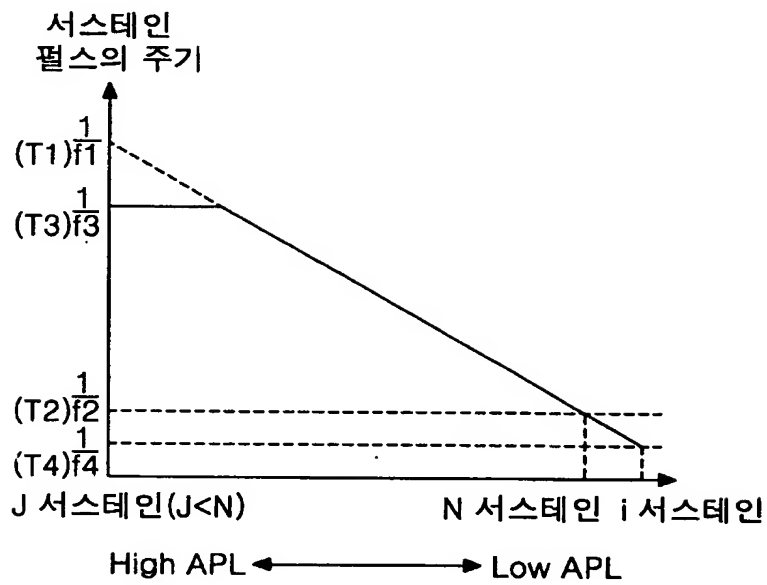
【도 6】



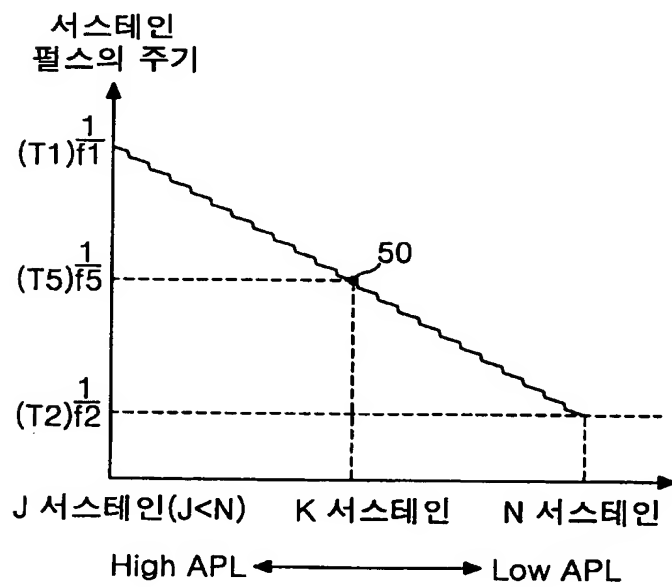
【도 7】



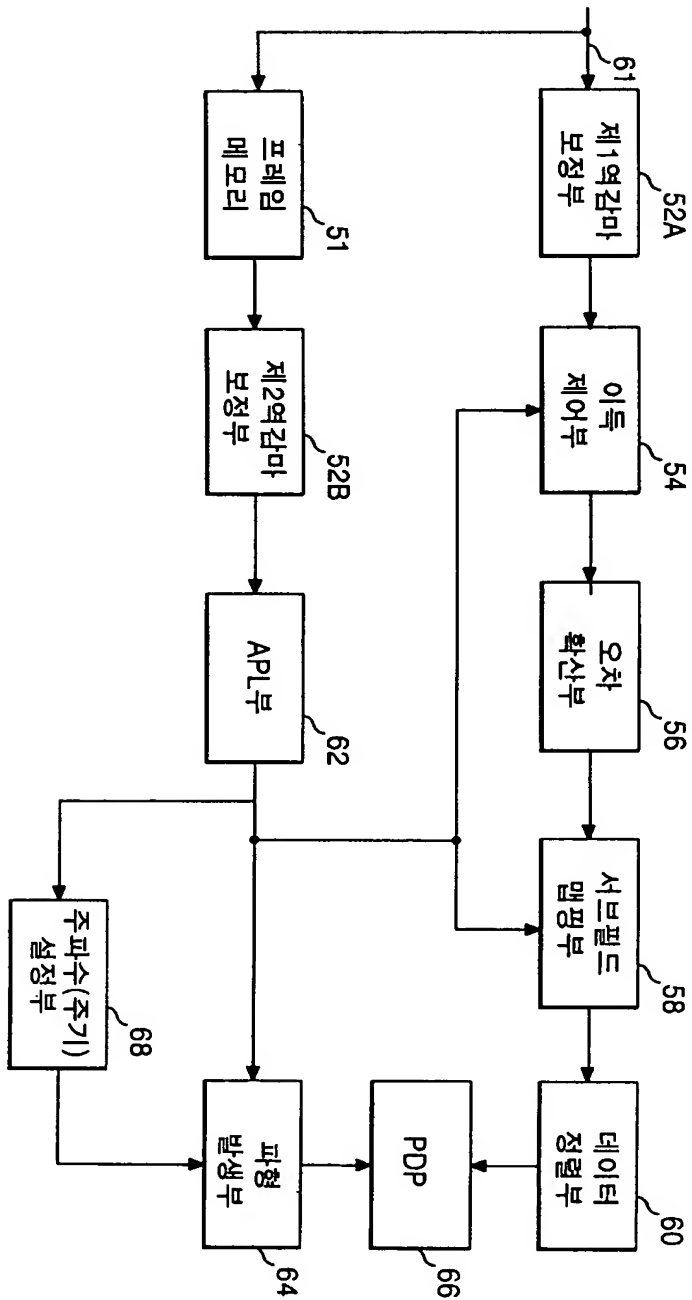
【도 8】



【도 9】



【도 10】



【도 11】

